

English Translation of JP61-80226

(19) Japanese Patent Office (JP)

(11) Laid-open No. : Sho 61-80226

(43) Laid open Date : April 23, 1986

5 (12) Patent Laid-open Official Gazette (A)

Request for Examination: not made

The Number of Inventions: 1 (14 pages in total)

(54) Title of the Invention: Active Matrix Driving Device

10 (21) Application No. : Sho 59-201529

(22) Application Date : September 28, 1984

(72) Inventor : Osamu ICHIKAWA

c/o TOSHIBA Corporate Research & Development Center  
1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi

15 (72) Inventor : Toyoki HIGUCHI

c/o TOSHIBA Corporate Research & Development Center  
1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki-shi

(71) Applicant : TOSHIBA CORPORATION

72, Horikawa-cho, Saiwai-ku, Kawasaki-shi

20

25



## Specification

### 1. Title of the Invention

#### ACTIVE MATRIX DRIVING DEVICE

### 5 2. Scope of Claim

#### [Claim 1]

An active matrix driving device characterized by comprising:

an active matrix part in which switching elements and electrode interconnections for driving the switching elements are formed in a matrix form;

10 a plurality of switching elements which are provided correspondingly to each interconnection extended from the active matrix part, selectively drive each of said interconnections extended by two-type signals, and are block-segmented by the same number;

first electrode interconnections which are provided at each of said plural block sections, and supply one of said two-type signals to all of said switching elements of each of said block  
15 sections; and

second electrode interconnections which are provided correspondingly to the number of the switching elements of said each block section, and supply the other signals of said two-type signals to each one of the switching elements of said each block section.

#### [Claim 2]

20 An active matrix driving device as set forth in claim 1 characterized in that switching elements of said active matrix part are comprised of TFTs (Thin Film Transistor).

#### [Claim 3]

An active matrix driving device as set forth in claim 1 characterized in that electrode interconnections of said active matrix part are comprised of address interconnections and data  
25 interconnections.

#### [Claim 4]

An active matrix driving device as set forth in claim 1 characterized in that each interconnection extended from said active matrix part is the extension of the electrode interconnections of said active matrix part.



[Claim 5]

An active matrix driving device as set forth in claim 1 characterized in that each interconnection extended from said active matrix part is electrically connected to electrode interconnections of said active matrix part by elastomer or a wire bonding method.

5 [Claim 6]

An active matrix driving device as set forth in claim 1 characterized in that a plurality of switching elements which selectively drive each of said interconnections extended by said two-type signals are comprised of TFTs (Thin Film Transistor).

[Claim 7]

10 An active matrix driving device as set forth in claim 1 characterized in that a plurality of switching elements which selectively drive each of said interconnections extended by said two-type signals are comprised of TMG (Transmission Gate) chips.

[Claim 8]

15 An active matrix driving device as set forth in claim 7 characterized in that said blocks are comprised of TMG (Transmission Gate) ICs.

[Claim 9]

An active matrix driving device as set forth in claim 3 characterized in that first electrode interconnections for driving said address interconnections are selected by ICs for address selection.

20 [Claim 10]

An active matrix driving device as set forth in claim 3 characterized in that second electrode interconnections for driving said address interconnections are selected by ICs for an address driver.

[Claim 11]

25 An active matrix driving device as set forth in claim 3 characterized in that first electrode interconnections for driving said data interconnections are selected by ICs for data selection.

[Claim 12]

An active matrix driving device as set forth in claim 3 characterized in that second electrode interconnections for driving said data interconnections are selected by ICs for data



latch.

### 3. Detailed Description of the Invention

[Technical Field to which the Invention belongs]

The present invention relates to a driving device for a display device in which switching  
5 elements are arranged in a matrix form, and more particularly to an active matrix driving device  
which has a peripheral driving circuit.

[Technical Background of the Invention and its problems]

Display devices such as electroluminescence, a light emitting diode, plasma, a  
fluorescence display part and a liquid crystal can be made thin at their display parts and a  
10 growing demand has been made for them to be used as terminal display devices of a measuring  
apparatus, a business machine and a computer or the like or a special display device. Of these  
display devices, greater attention has been paid to the liquid crystal display device in view of its  
low electric power consumption and cost.

Recently, to further improve the performance of the liquid crystal display device,  
15 switching elements using thin film transistors formed in a matrix array have been developed.  
By this method, image data is stored in each dot of a switching transistor matrix provided on a  
substrate and a change of a liquid crystal layer positioned correspondingly to each dot of the  
matrix array is held for a predetermined time, thereby a desired image is displayed.

Accordingly, a liquid crystal display device with a switching transistor matrix array  
20 performs an almost full-time image display and a high-quality of reproduction image can be  
obtained.

Meanwhile, as a material for a switching transistor, such as SI, CdSe, Te, CdS or the like  
in a crystalline, polycrystalline, or amorphous state are used. Above all, the thin film technique  
for a polycrystalline semiconductor and an amorphous semiconductor can achieve a low  
25 temperature process, thereby can form active matrix elements of switching transistors even on a  
substrate such as a glass substrate which needs to be treated in a relatively low temperature. It  
is, therefore, possible to produce a large area display device at low cost for practical use.

Conventionally, such an active matrix array substrate was constituted of just a display  
part, and it was connected to a driving circuit part provided at an external part by a wire bonding



method or the like so as to display images on a matrix array substrate as the display part.

FIGs. 15(a) and 15(b) show a general connecting method of a substrate display part and a driving circuit substrate in a transmission active matrix liquid crystal display device.

5 A substrate display part 2 is constituted of a substrate on which a thin transistor array is configured, a substrate formed of a transparent power source on the whole surface facing to the former substrate, and a liquid crystal layer sandwiched between the two substrates. Meanwhile, a peripheral driving circuit 4 is constituted of a PC board having a window in the center to embed the substrate display part 2 and a plurality of ICs 6 peripherally. For holding the substrate display part 2, a transparent holding substrate 8 equipped on the reverse side of the peripheral driving circuit substrate 4 is used, and electrode terminals provided on the periphery of the substrate display part 2 and on the periphery of the window of the driving circuit substrate 4 are mutually connected by a bonding wire 10. Although an IC is used as a chip in this built-up structure, it may also be structured with a DIPIC by making use of the characteristics of a PC board. Further, it is possible to adopt a simple structure without window-opening in the central part of the driving circuit substrate nor a holding substrate if a transparent glass substrate is used in place of a PC board.

However, when an active matrix display device of a large screen with high-definition is structured, the number of terminals provided on a periphery part on a substrate display part increases. Meanwhile, bonding pads of the ICs of the present condition are provided at 4 sides around a chip, and the spacing is 100 to 150  $\mu$ m. For this reason, turnaround interconnections are required for peripheral interconnections of the part loaded with IC chips even if a terminal pitch of the substrate display part is 150 to 200  $\mu$ m. Therefore, a measure of having multilevel interconnections is taken. The multilevel interconnections on the periphery of the part loaded with these IC chips have been made mostly through a different process from that of the structure of the thin film transistor matrix array part. This led to a low manufacturing yield of the matrix array substrate display part, and further to notable waning productivity as a whole display device because of the defects generating during the manufacture of the IC chips.

FIG. 16 shows a conceptual configuration view of these driving circuits. First, an input signal 12 such as image data, a vertical signal, a horizontal signal, a clock signal or the like from



external devices are inputted to a control circuit 14. A clock signal 16 and image data 18a, 18b generated on the control circuit 14 are inputted to image data processing circuits (one line memories) 20a, 20b and image scanning signals 22a, 22b are inputted to line scanning circuits 24a, 24b. Then, signals from the line scanning circuits 24a, 24b and the image data processing  
5 circuits 20a, 20b are inputted to a display part 2 and images are displayed on it. A thin film transistor formed inside the display part 2 as a display element array is slow at its response speed, so image data for one line is stored with ICs which can operate relatively at high speed in the image data processing circuits 20a, 20b, and in the line scanning circuits 24a, 24b, what is called  
10 a line sequential scanning which can scan at relatively low speed is adopted. Meanwhile, by this method, a scanning process of jumping over line by line is taken: uneven numbers are scanned first as G1, G3,...Gn on the line scanning circuit 24a followed by a scanning of even numbers as G2, G4, G6,...Gn+1 as a television scanning of NTSC system, in consideration of insufficient writing of data corresponding to one line scanning (applying a gate voltage to TFT) when the line scanning increases in number. Further, as a means to moderate a pitch of a  
15 terminal corresponding to an image pitch, even and uneven numbers are similarly divided at the image data processing circuits 20a, 20b.

In case of configuring ICs of an existing dual in-line package type or the like on a PC board for these driving circuits, the problem will be solved by manipulating the connection of the ICs to the substrate display part corresponding to the line scanning of even and uneven  
20 numbers. However, when IC chips were loaded on the substrate display part as described above so as to miniaturize the whole display device, two types of ICs, each of which has the same function, and output terminals of which were inverted in position were needed for an image data processing circuit and for a line scanning circuit, thereby led to the low productivity of ICs and efficiency of its assembling. Meanwhile, a LSI of a CMOS or the like is used for a  
25 peripheral driving circuit in itself for lowering the electric power consumption. For this, 20 to 50 IC chips are needed, resulting in high cost of assembly and IC chips per se as well as the increasing electric power consumption.

Recently, as a means to handle the foregoing problems, considered is what is called an integral display device with a peripheral driving circuit part, formed of a shift register integrally



on the periphery of the substrate display part. However, when a shift register is formed with a conventional thin film transistor technique, problems concerning processing precision and a manufacturing process occur because an interconnection pattern of the shift register becomes minute as compared to the display part, and further a response speed becomes late because many distorted signal waveforms occur when a driving circuit of a general MOS structure is configured since the film is thin. Incidentally, the whole driving circuit substrate for a display device becomes defective unless an yield of the shift register is 100%. As shown in a patent laid-open official gazette sho59-58480, in the case where a driving circuit is improved at its speed using clock signals of more than 4 phases or at its yield by providing dummy cells on a shift register, an interconnection pattern becomes highly minute leading to a problem as to the processing precision. Further, a problem of an increase in circuit scale of a peripheral driving part occurs.

Note that, on what is called a simple matrix liquid crystal display device comprising straight row electrodes and column electrodes, driving circuits can be reduced by multiplexing selective scanning operations of the row electrodes according to a patent laid-open official gazette sho59-48738. This method, however, has a problem: in case of 16 x 16 (256) pixels for example, the number of connecting points between a display part and a driving circuit part becomes 256 in column and 32 in row, and after all, the number of connecting points cannot be reduced to a large degree.

Meanwhile, considered is a case where wire connections as memory ICs such as RAMs, data selector ICs and recorder ICs or the like are used. However in that case, a driving circuit which sends stable electrical signals for an active matrix is needed, and a driving circuit which can send a large amount of electrical signals to switching elements of an active matrix part and has a high-speed selective drive operation is also needed.

#### [Purpose of the Invention]

The purpose of the present invention is to provide a driving device for a display device which can drive a large number of matrix array terminals of a display part with a small number of ICs for driving without lowering a manufacturing yield of a matrix array of the display part concerning a case of combining the above-mentioned display part of the active matrix array and



the peripheral driving circuit which drives the display part.

[Abstract of the Invention]

The present invention is to obtain an active matrix driving device comprising:

an active matrix part in which switching elements and electrode interconnections for  
5 driving the switching elements are provided in a matrix form,

a plurality of switching elements which are provided correspondingly to each  
interconnection extended from the active matrix part and selectively drive each interconnection  
extended by two-type signals,

a plurality of block sections where the plurality of switching elements are segmented by  
10 the same plural number of the switching elements,

first electrode interconnections which are provided at each of the plural block sections  
and supply one of two-type signals to every switching element of each block section, and

second electrode interconnections which are provided correspondingly to the number of  
the switching elements of each block section and supply the other signals of the two-type signals  
15 to one switching element of every block section.

[Effect of the Invention]

By disposing switching element groups which have the foregoing functions on the  
periphery of an active matrix display element array on a driving circuit substrate for a display  
device, the number of integrated circuits which form electrical signals for giving to matrix  
20 terminals can be reduced even if there are a large number of matrix terminals. Accordingly,  
connecting points by a bonding method or the like can be reduced drastically as well as the  
reduced electric power consumption for driving.

Meanwhile, a high yield can be obtained because rougher patterns than those of the  
switching elements of the display part matrix array may be used. Further, an active matrix  
25 driving circuit substrate which has highly improved productivity and larger flexibility on  
packaging design can be obtained because an assembly area of the peripheral driving circuit can  
be reduced as compared to an area of the display part.

Incidentally, a high-speed selective drive operation of an active matrix part can be  
achieved because the selective drive operation of the peripheral driving circuit according to the



present invention can be performed at every switching element group (blocks).

#### [Embodiments of the Invention]

Embodiments of the present invention are explained below with reference to FIGs. 1 to 14. First, FIG. 1 is a plan view of a driving circuit substrate for a display device using an embodiment of the present invention. FIGs. 2 (a), 2(b) and 2(c) are respectively an equivalent circuit diagram, a plan view and its sectional view of a display part which occupies a central region of a driving circuit substrate for a display device as shown in FIG. 1. FIGs. 3 (a) and 3(b) are a plan view and its sectional view of a peripheral driving circuit part which occupies a peripheral region of a driving circuit substrate for a display device. A driving circuit substrate for a display device as shown in this embodiment is formed of address electrodes(32), (32a), (32b),...(32w) for a display part, peripheral source interconnection terminal parts (34a),...(34h), (34l), ...(34s) and peripheral gate interconnections(36a), (36b),...(36h) for a peripheral driving circuit part on a transparent glass substrate(30) altogether, further formed of a silicon oxide film(40) which has through-hole parts(38). Semiconductor thin films(42a), (42b),...(42g) of island-shaped patterns formed of amorphous silicon, for example, are provided respectively corresponding to the address electrodes(32a), (32b),...(32w) formed regions on the silicon oxide film(40) of a substrate display part, and also corresponding to the peripheral gate interconnections(36a), (36b),...(36h) formed regions on the silicon oxide film(40) of a substrate peripheral part. Data electrodes(44), (44a),...(44w) are formed connecting to one end of the semiconductor thin film(42) of the substrate display part, and a drain electrode(46) to the other end so as to form switching elements. Peripheral source electrodes(50a),...(50g) are formed connecting to one ends of semiconductor thin films(42a),..., (42g) of the peripheral part of the substrate, and peripheral drain electrodes (52a),..., (52g) to the other ends. Further, portions of the peripheral source electrodes(50a),..., (50g) are connected to the peripheral source interconnection terminal parts(34a), (34b),...(34h) through the through-hole parts(38), and portions of the peripheral drain electrodes(52a),...(52g) are connected to the address electrodes(32a),..., (32w) of the display part through the through-hole parts(38). When such a driving circuit substrate for a display device is used for a liquid crystal display device, a pixel electrode(53) comprised of, for example, ITO(Indium Thin Oxide) has only to be formed



connecting to the drain electrode(46) as shown in FIG. 2(b), and further a transparent facing substrate(58) formed of a transparent conductive film(56) comprised of, for example, ITO over its inner side should be provided through a liquid crystal layer(54) on the display part region of the transparent glass substrate(30).

5           Next, explained is a manufacturing method of the above driving circuit substrate for a display device. First, a Mo film of 2000Å is accreted on the transparent glass substrate(30) of approximately 2mm in thickness and the address electrodes(32a), (32b),...(32w), the peripheral source interconnection terminal parts(34a), (34b),...(34h) and the peripheral gate interconnections(36a), (36b),...(36h) which are to become first layer patterns are formed by a  
10 PEP(Photo Engraving Process) technique. Next, the silicon oxide film(40) is accreted on it by 2000Å using a CVD method, and through-hole parts(38) are formed on the desired positions thereof. Then, and amorphous silicon is accreted on it by approximately 3000Å using the CVD (Chemical Vapour Deposition) method and the semiconductor thin films(42a), (42b),...(42g) of island-shaped patterns are formed by the PEP technique.

15           Then, a transparent conductive layer comprised of ITO of 3000 Å is accreted and the pixel electrode(53) is formed by patterning using the PEP technique. Subsequently, Mo of approximately 500Å and aluminum of approximately 11 nm are laminated by sputtering or deposition and the drain electrode(46) inside the display part, the data electrodes(44), (44a),(44b),...(44w), the peripheral drain electrodes(52),(52a),...(52g), the peripheral source  
20 electrodes(50), (50a), (50b), ...(50g) and an IC connecting point for driving which are to become second layer patterns are formed. Thus, a TFT(62) inside the display part and peripheral switching transistor groups(64a), (64b),...(64h) are formed.

          Although as shown in FIGs. 1 to 3, the address electrodes(32), (32a), (32b)...(32w) which run on the TFT(62) inside the display part are a first layer, and through-hole parts(38)  
25 should be provided by thirling the silicon oxide film(40) as an insulating film to connect the peripheral drain electrodes(52), (52a), (52b),...(52g) as a second layer, no through-hole parts are required for the connection between a peripheral drain electrode(66) and the data electrodes(44), (44a), (44b),...(44w) which run on the TFT(62) inside the display part.

          On ends of the gate interconnection parts(36a), (36b),...(36h) and the peripheral source



interconnection terminal parts(34a), (34b),...(34h),(34l),...(34s) which connect source electrode parts of the peripheral switching transistor groups(64a), (64b), (64c),...(64h) in common, the driving IC interconnection part (60) is provided so as to be connected to a driving circuit part(not shown in FIGs.) provided outside of the driving circuit substrate(30) by a wire bonding  
5 method or a pressure welding with a conductive rubber or the like, thus given desired electrical signals.

On the driving circuit substrate for a display device constructed as the above, the address electrodes(32a),...(32w) of the display part are selected by turning ON the peripheral transistor groups(64a),...(64d) by the gate electrode interconnections(36a),...(36d) and the peripheral  
10 source interconnection terminal parts(34a),...(34h) of the peripheral driving circuit part. Similarly, the data electrodes(44a), (44w) of the display part are selected by turning ON the peripheral transistor groups (64e),...(64h) by the gate electrode interconnections(36e),...(36h) and the peripheral source electrode terminal parts(34l),...(34s) of the peripheral driving circuit part. When the driving circuit substrate is used for the liquid crystal display device as shown in  
15 FIG. 2, the TFT(62) inside the display part is further selected by selecting the address electrodes(32a),...(32w) of the display part and the data electrodes(44a),...(44w) as the above, and thus pixel electrodes(48) corresponding to each TFT(62) are applied voltages to drive a liquid crystal layer(54). Thus, optional display images are displayed by selectively combining the pixel electrodes(48) arranged in a matrix form.

Note that, in the foregoing embodiment, driving circuit parts such as a selector or a driver are not provided on the peripheral driving circuit part, ICs for data selection(70), ICs for data latch(72), ICs for an address driver(74) and ICs for address selection(72) can be set on the peripheral driving circuit part as shown in FIG. 4.

That is to say, according to the present invention, only an IC for selection and an IC for  
25 latch or an IC for a driver and an IC for selection have to be provided correspondingly to each side of an active matrix part, thus a circuit scale can be reduced to a large degree without having a latch function or an amplifying function correspondingly to each data or each address line as the case where a conventional shift register is used.

Meanwhile, the present invention has an advantage of being able to drastically reduce the



number of interconnections of an active matrix driving circuit substrate with external devices which are to be image information sources.

Incidentally, as to a driving circuit substrate for a display device according to the present invention, a display part and a peripheral driving circuit part can be separately manufactured, and  
5 each terminal of a display part and a peripheral driving circuit part can be connected by elastomer or a wire bonding method. When the display part and the peripheral driving circuit part are manufactured in different processes like this, switching elements on the peripheral driving circuit part may not necessarily be a TFT as the above embodiment. For example, as shown in FIG. 6, the switching elements may be constituted of TMG (Transmission Gate) chips(80) as shown in  
10 FIGs. 5(a), 5(b) and 5(c). Further, assembly can be omitted if ICs(82) which are constituted of a larger number of TMG elements are used as shown in FIG. 7.

Next, explained are operations of the present invention with reference to FIGs. 8 to 14. FIGs. 8(a) and 8(b) show a plan view and its equivalent circuit view of a peripheral driving circuit part constituted of peripheral switching transistor groups  $T_1$ ,  $T_2$ ,  $T_3$ ,  $T_4$ . The FIGs. 8(a) and 8(b)  
15 show a peripheral driving circuit in the case where the number of drain electrodes of one side for a display part are 16, wherein, the switching transistor groups  $T_1$ ,  $T_2$ ,  $T_3$ ,  $T_4$  which have common gates are provided and drain electrodes  $D_1$  to  $D_{16}$  may be selected by selecting source electrodes  $S_1$  to  $S_4$  and common gate electrodes  $G_1$  to  $G_4$ .

FIGs. 9(a) and 9(b) show signal generating circuits to source electrode interconnections  $S_1$ ,  
20  $S_2$ ,  $S_3$ ,  $S_4$  and gate electrode interconnections  $G_1$ ,  $G_2$ ,  $G_3$ ,  $G_4$ . In FIG. 9(a), an FF counter(80) conducts a binary count by a clock signal CK which has predetermined width of time. The counter(80) sends upper 2 bits of binary signals(82) and a first decoder(84) outputs its decoder signals  $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$ . Meanwhile, lower bits of binary signals(86) in the counter(80) are given to a second decoder(88) to generate its decoder signals  $G_1$ ,  $G_2$ ,  $G_3$ ,  $G_4$ . Incidentally, in FIG. 9(b), two  
25 pairs of shift registers are used in place of the counter and the decoders in FIG. 9(a). First, initial data D is inputted to a first shift register (90) and appears on  $S_1$  in synchronism with a clock signal CK. Then, a second clock signal CK is excited by omitting the initial data D so as to switch an output of the first shift register(90) to  $S_3$ ,  $S_4$ . As to output signals  $G_1$ ,  $G_2$ ,  $G_3$ ,  $G_4$  of a second shift register(92),  $G_1$  is On in an initial condition. The output of the second shift register(92) is



switched to  $G_2$  by combination of a carry signal CY of the first shift register(90) and the clock signal CK. The input data signal D to the first shift register(90) generates at every predetermined period, and in this case, it generates at every output of the  $S_4$ . Thus, in FIGs. 9(a) and 9(b), the circuit are constituted of output signals  $G_1, G_2, G_3, G_4$  switching at every circuit scanning  $S_1, S_2, S_3, S_4$ .

Fig. 10 is a time chart of the signals from the driving circuit of FIG. 9(a) or 9(b) and the output signals of the drain electrode interconnections  $D_1, D_2, \dots, D_{16}$  of the peripheral switching transistor groups  $T_1, T_2, T_3, T_4$ . As shown in FIG. 6, the source electrode interconnections  $S_1, S_2, S_3, S_4$  are sequentially inputted ON signals when each of the gate electrode interconnections  $G_1, G_2, G_3, G_4$  are ON for a predetermined period. If the  $S_1, S_2, S_3, S_4$  are sequentially scanned every time the gate electrode interconnections  $G_1, G_2, G_3, G_4$  are switched, the drain electrode interconnections  $D_1, D_2, \dots, D_{16}$  of the switching transistor groups  $T_1, T_2, T_3, T_4$  output signals sequentially, thus they are available as scanning signals of the address electrodes of the TFTs in the display part.

Meanwhile, for a data signal to a TFT inside the display part, a parallel signal is more favorable than a serial signal. FIGs. 11 and 12 respectively show an image data processing circuit and its time chart using peripheral switching transistor groups relating to the present invention. First, an analogue image signal AD in synchronism with a clock signal CK is stored in a predetermined part of a sample/hold (86) according to an output signal(96) of a shift register(94). Analogue image information(100) stored in the sample/hold(86) is amplified by an analogue driver(102) and generates respective output signals  $S_1, S_2, S_3, S_4$ . Meanwhile, output modes of the binary signal(96) are switched to a counter(98) every time ordinary writing to the shift register(94) has finished, and decode output signals  $G_1, G_2, G_3, G_4$  are switched by a decoder(104) of the last stage. By this method, the output signals  $D_1, D_2, \dots, D_{16}$  from the peripheral switching transistor groups  $T_1, T_2, T_3, T_4$  are simultaneously outputted by four with each own amount of analogue information by combining analogue image information signals  $S_1, S_2, S_3, S_4$  and decode signals  $G_1, G_2, G_3, G_4$ .

As above, an active matrix image display scanning can be conducted by concurrently working a function of switching transistor groups of an image data side and a function of switching transistor groups of an address scanning side. Namely, as shown in FIG. 13, by letting a parallel



output of an image data side make a circuit within a decode output period T of an address scanning side, a displaying operation, the line sequential scanning style of which is transformed can be conducted.

FIG. 14 shows a driving circuit substrate which has IC chips on board by devising an IC connecting point for driving(60) shown in FIG. 1. Image data and scanning signals of external devices are received from I/O terminal parts(92) and an address scanning and an image data processing are conducted at ICs 90,90a,...90h which operate desirably. Thus, an address scanning is operated by switches. A display scanning is conducted by switching transistor groups(94) and switching transistor groups(96) which output image data sequentially. Accordingly, image is displayed at a display part(98).

Note that, in the embodiments of the present invention, peripheral switching transistor groups are provided at an image data side as well as an address scanning side to simplify operations with peripheral driving ICs. Although there are cases where image data writing for a predetermined period is insufficient when storage capacitance is added to pixel cells inside a display part or when amorphous silicon is used as a material for a semiconductor thin film, in these cases, a conventional wire connecting method may be used together without providing switching transistor groups at an image data side.

Meanwhile, although in the embodiments, explained are switching transistor groups as 4, it is, needless to say, effective to apply the present invention to a driving circuit substrate for a display device which needs a considerably large number of terminals for the intended original purpose. Particularly, it is effective when the number of addresses is 500 to 1000, and the number of a data side is 500 to 2000.

#### 4. Brief Description of the Drawings

FIG. 1 is a view showing an embodiment of the present invention, FIGs. 2 to 14 are views to explain the other embodiments of the present invention and FIGs. 15 and 16 are views showing conventional embodiments.

30: Transparent glass substrate, 32, 32a, 32b,...32w: Address electrode interconnections for a display part, 34a, ...34h, 34l,...34s: Peripheral source interconnection terminal parts, 36a,



36b,...36h: Peripheral gate interconnections, 38: Through-hole part, 40: Silicon oxide film,  
42,42a,...42g: Semiconductor thin films, 44, 44a,...44w: Data electrodes, 46: Drain electrode,  
50a, 50b,...50g: Peripheral source electrodes, 52a, 52b,...52g: Peripheral drain electrodes,  
53: Pixel electrode, 54: Liquid crystal layer, 56: Transparent conductive film, 58: Facing  
5 substrate, 60: IC connecting point for driving, 62: TFT, 64a, 64b,...64h: Peripheral  
switching transistor groups, 66: Peripheral drain electrode, 70: IC for data selection, 72: IC  
for data latch, 74: IC for an address driver, 76: IC for address selection



DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

5509673

Basic Patent (No,Kind,Date): EP 177247 A2 19860409 <No. of Patents: 006>

**ACTIVE MATRIX DISPLAY DEVICE** (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO (JP)

Author (Inventor): ICHIKAWA OSAMU C O PATENT DIVI; HIGUCHI TOYOKI C O

PATENT DIVI

Designated States : (National) DE; FR; GB; NL

IPC: \*G09G-003/36;

Derwent WPI Acc No: \*G 86-095596;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
DE 3585905	C0	19920527	EP 85306771	A	19850924	
EP 177247	A2	19860409	EP 85306771	A	19850924	(BASIC)
EP 177247	A3	19880727	EP 85306771	A	19850924	
EP 177247	B1	19920422	EP 85306771	A	19850924	
<b>JP 61080226</b>	A2	19860423	JP 84201529	A	19840928	
US 5028916	A	19910702	US 607750	A	19901031	

Priority Data (No,Kind,Date):

JP 84201529 A 19840928

US 332424 B1 19890331

US 127554 B1 19871202

US 778085 B1 19850920

?



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-80226

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)4月23日

G 02 F 1/133

1 2 9

B-7348-2H

G 09 G 3/20  
3/36

1 1 8

D-8205-2H

7436-5C

7436-5C

審査請求 未請求 発明の数 1 (全14頁)

⑭ 発明の名称 アクティブ・マトリックス駆動装置

⑮ 特 願 昭59-201529

⑯ 出 願 昭59(1984)9月28日

⑰ 発 明 者 市 川 修 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 発 明 者 樋 口 豊 喜 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

アクティブ・マトリックス駆動装置

2. 特許請求の範囲

(1) スイッチング素子と該スイッチング素子を駆動する電極配線とがマトリックス状に設けられたアクティブ・マトリックス部と、該アクティブ・マトリックス部から延設された各配線に対応して設けられ2種の信号により前記延設された各配線を選択駆動し、且つ同数個づつブロック化された複数のスイッチング素子と、前記複数の各ブロック部ごとに設けられ前記各ブロック部の全ての前記スイッチング素子に前記2種の信号のうちの一方を供給する第1種の電極配線と、前記各ブロック部のスイッチング素子数に対応して設けられ前記各ブロック部の各1個のスイッチング素子に前記2種の信号のうちの他方の信号を供給する第2種の電極配線とを具備することを特徴とするアクティブ・マトリックス駆動装置。

(2) 前記アクティブ・マトリックス部のスイッ

チング素子はTFT(Thin Film Transistor)からなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(3) 前記アクティブ・マトリックス部の電極配線はアドレス配線とデータ配線からなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(4) 前記アクティブ・マトリックス部から延設された各配線は前記アクティブ・マトリックス部の電極配線がそのまま延設されたものであることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(5) 前記アクティブ・マトリックス部から延設された各配線は前記アクティブ・マトリックス部の電極配線にエラストマー若しくはワイヤボンディングにより電気的に接続されたものであることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(6) 前記2種の信号により前記延設された各配線を選択駆動する複数のスイッチング素子はTFT



(Thin Film Transistor) からなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(7)前記2種の信号により前記延設された各配線を選択駆動する複数のスイッチング素子は、TMG (Transmission Gate) チップからなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(8)前記ブロックはTMG (Transmission Gate) ICからなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(9)前記アドレス配線を駆動するための第1種の電極配線はアドレスセレクト用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

(10)前記アドレス配線を駆動するための第2種の電極配線はアドレスドライバ用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

(11)前記データ配線を駆動するための第1種の電

13

極配線はデータセレクト用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

近年、この液晶表示装置の機能性をさらに高めるために薄膜トランジスタによるスイッチング素子をマトリックスアレイに構成したものが開発されている。この方法は、基板上に設けたスイッチングトランジスタマトリックスの各ドットに画像情報を蓄積し、このマトリックスアレイの各ドットに対応した位置の液晶層の変化を所定期間保持して画像を作るものである。

このためにスイッチングトランジスタマトリックスアレイを用いた液晶表示装置はほぼ全時間表示となり、見易い画像が得られる。

ところで、スイッチングトランジスタの材料としては結晶、多結晶、アモルファス状態のSi, CdSe, Te, CdS等が用いられる。このなかでも多結晶半導体やアモルファス半導体の薄膜技術は、低温プロセスが可能のために、ガラス基板等の比較的低価で取扱うことの必要な基板上にもスイッチングトランジスタのアクティブマトリク

ス配線はデータセレクト用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

(12)前記データ配線を駆動するための第2種の電極配線はデータラッチ用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

### 3. 発明の詳細な説明

#### [発明の技術分野]

本発明はスイッチング素子をマトリックス状に配列した表示装置用の駆動装置に係り、特に周辺駆動回路を有するアクティブ・マトリックス駆動装置に関する。

#### [発明の技術的背景とその問題点]

エレクトロルミネッセンス、発光ダイオード、プラズマ、蛍光表示管、液晶などの表示デバイスは、表示部の薄型化が可能であり、計測機器、事務機器やコンピュータ等の端末表示装置あるいは特殊な表示装置への用途として要求が高まっている。これらの表示デバイスの中で液晶表示装置は

14

ス素子を形成することができ、低価格で大面積の表示装置を実用段階にした。

従来、このようなアクティブ・マトリックスアレイ基板は表示部分のみで構成されており、この表示部のマトリックスアレイ基板を表示駆動するためには外部に設けた駆動回路部分とワイヤボンディング等により接続していた。

第15図(a), (b)は透過型アクティブマトリックス液晶表示装置に於ける表示部基板と駆動回路基板との一般的な接続方法を示す。

表示部基板2は薄膜トランジスタアレイを構成した基板と、これに対向し透明電極を全面に形成した基板と、この2枚の基板の間に液晶層を挟持して構成する。また周辺駆動回路4は、そのほぼ中央に位置して表示部基板2を嵌込む為の窓を持ち、周囲には多数のIC6を搭載したPC板により構成する。そしてこの表示部基板2の保持には周辺駆動回路基板4の裏面に具備した透明保持板8を用い、表示部基板2の周辺および駆動回路基板4の窓周囲に設けた電極端子相互をボンディン



グワイヤ10で接続する。この組立て構造ではICチップとして用いているがPC板の特徴を生かし、DIPICで構成することもできる。更にはPC板のかわりに透明ガラス基板を使えば駆動回路基板の中央部の窓開けや保持板を不用とした容易な構造も取入れることができる。

しかしながら高精細で大画面のアクティブマトリックス表示装置を構成すると表示部基板上の周辺に設ける端子が増える。一方、現状のICのボンディングパッドはチップの4辺周辺に設けられており、その間隔は100~150 $\mu$ mとなっている。この為に表示部基板の端子ピッチが150~200 $\mu$ mであってもICチップを搭載する部分の周辺配線は回し込み配線が必要となり、従って多層配線とする手段がとられている。これらのICチップ搭載部周辺に於ける多層配線は薄膜トランジスタマトリックスアレイ部の構成とは異なるプロセスによって作られることが多く、このためにマトリックスアレイ表示部基板の製造歩留りを低下させたり、更にはこのICチップの組立て時に於ける

(7)

ン走査の数が多くなると一ライン走査(TFTへのゲート電圧印加)に対するデータの書き込みが不充分となることを考慮してNTSC方式のテレビジョンスキヤンのようにまず線走査回路24aでG1, G3...G<sub>n</sub>と奇数の走査を行い、次いで線走査回路24bでG2, G4, G6, ...G<sub>n</sub>+1の偶数走査を行って一本ずつ飛越する走査により解決している。更には画像ピッチに対する端子のピッチを緩らげる手段として画像データ処理回路20a, 20bも同様に奇数、偶数と振分けている。

これらの駆動回路は既存のデュアルインラインパッケージ型等のICをPC板上で組上げる構造とする場合には奇数と偶数の線走査に対し表示部基板への接続の際にその接続を工夫すれば解決できる。しかしながら、前述したような表示部基板上にICチップを搭載し表示装置全体を小形化しようとする場合には画像データ処理回路のICと線走査回路用ICはそれぞれ同一機能を持ち出力端子の位置が反転した2種類のICが必要となり、

る不良発生も起るので表示装置全体としての生産性を著しく悪くしていた。

第16図はこれらの駆動回路の概念的な構成図を示す。まず外部機器からの画像情報、垂直信号、水平信号、クロック信号等の入力信号12がコントロール回路14に入力される。このコントロール回路14で作られたクロック信号16、画像データ18a, 18bは画像データ処理回路(ラインメモリ)20a, 20bに入力し、また画像スキヤニング信号22a, 22bは線走査回路24a, 24bに入力する。そして線走査回路24a, 24bおよび画像データ処理回路20a, 20bの各々からの信号が表示部2に入力されて画像を作り出す。この表示部2内に形成した表示素子アレイとしての薄膜トランジスタは応答速度が遅いため画像データ処理回路20a, 20bに比較的高速動作可能なICを用いて一ライン分の画像データを記憶し、線走査回路24a, 24bでは比較的遅い速度で走査することのできるいわゆる線順次走査を採用している。またこの方法ではライ

(8)

ICの生産性やその組立における能率が低下するものであった。又、周辺駆動回路自体も通常消費電力を低減する意味でCMOS等のLBIが用いられるが、このために必要なICチップ数は20個~50個となり、消費電力が増大するばかりでなくアセンブリコストやICチップ自体のコストもかかり過ぎる。

近年こうした問題に対処する手段として表示部周辺にシフトレジスタを一体化形成した、いわゆる周辺駆動回路部一体形の表示装置が検討されている。しかしながら、従来の薄膜トランジスタ技術を用いてシフトレジスタを形成した場合は、このシフトレジスタの配線パターンが表示部に比し微細となるため加工精度、製造プロセス上の問題が生じ、しかも一般的なMOS構造となる駆動回路を構成すると薄膜が故に信号波形の歪が多くそのため応答速度が遅くなってしまう。またこのシフトレジスタの歩留りは100%でない则表示装置用の駆動回路基板全体が不良となってしまう。また特開昭59-58480号の如く4相以上のクロッ

(9)

(10)



ク信号を用いて高速としたり、シフトレジスタにゲミーセルを設けて歩留り向上を図る場合は、配線パターンが非常に複雑となり加工精度がさらに問題となり、また周辺駆動部の回路規模が増大してしまうという問題も生じる。

尚、直行する行電極及び列電極からなる、いわゆる単純マトリックス型の液晶表示装置に於いては、特開昭59-48738号の行電極の選択走査をマルチプレックス化することにより駆動回路を削減する方法があるが、この方法では、例えば16×16(256)画素の場合の表示部と駆動回路部との接続部数は列が256、行が32となってしまう、結局は接続部数を大幅に減らすことができないという問題がある。

また駆動回路部に、例えばRAM等のメモリICやデータセレクターIC、レコーダIC等の結線を利用することが考えられるが、アクティブ・マトリックス用として安定な電気信号を送り込む駆動回路が必要であり、またアクティブ・マトリックス部のスイッチング素子に対する電気信号の印

## (1)

各ブロック部の全てのスイッチング素子に2種の信号のうちの一方の信号を供給する第1種の電極配線と、各ブロック部のスイッチング素子数に対応して設けられ各ブロック部の1個のスイッチング素子に2種の信号のうちの他方の信号を供給する第2種の電極配線とを具備するアクティブ・マトリックス駆動装置を得ることにある。

## 〔発明の効果〕

表示装置用駆動回路基板上のアクティブマトリックス表示素子アレイの周辺に以上のような機能をもつスイッチング素子群を配置することにより多数のマトリックス素子があっても、これらの素子に与えるための電気信号を作る乗換回路の数を少なくすることができる。従って駆動のための消費電力が少なくなるばかりでなくボンディング時の接続箇所が大幅に削減できる。

また、表示部マトリックスアレイのスイッチング素子より粗なパターンでよいのでこのために高歩留りが得られる。さらには表示部の面積に比べ周辺の駆動回路のアセンブリ面積は小さくできる

加量を多くでき且つ選択駆動が高速な駆動装置が必要とされるのである。

## 〔発明の目的〕

本発明は上記したようなアクティブマトリックスアレイの表示部と、この表示部を駆動する周辺駆動回路の組合せに於し、表示部のマトリックスアレイの製造歩留りを低下させることなく、かつ小数の駆動用ICで多数の表示部マトリックスアレイ素子を駆動することのできる表示装置用駆動装置を提供することを目的とする。

## 〔発明の概要〕

本発明はスイッチング素子とこのスイッチング素子を駆動する電極配線とがマトリックス状に設けられたアクティブ・マトリックス部と、このアクティブ・マトリックス部から延設された各配線に対応して設けられ2種の信号により配設された各配線を選択駆動する複数のスイッチング素子と、この複数のスイッチング素子が複数の同数のスイッチング素子ごとに区分された複数のブロック部と、この複数の各ブロック部ごとに設けられこの

## (2)

など大幅な生産性の向上および実装設計上の自由度の拡大を図ったアクティブ・マトリックス駆動回路基板を得ることができる。

また本発明による周辺駆動回路の選択駆動は各スイッチング素子群(ブロック)ごとに行なうことができるのでアクティブ・マトリックス部の選択駆動を高速に行なうことができる。

## 〔発明の実施例〕

以下本発明の実施例を第1図乃至第14図を参照して説明する。先ず第1図は本発明の実施例を用いた表示装置用駆動回路基板の平面図であり、第2図(a)、(b)、(c)は第1図に示す表示装置用駆動回路基板の中央領域を占める表示部の等価回路図平面図及びその断面図であり、第3図(a)、(b)は表示装置用駆動回路基板の周辺領域を占める周辺駆動回路部の平面図及びその断面図である。本実施例で示す表示装置用駆動回路基板は、透明ガラス基板(30)上に表示部用のアドレス電極(32)、(32a)、(32b)、…(32w)周辺駆動回路部用の周辺ソース配線端子部(34a)、…(34h)、(34i)、…(34e)



及び周辺ゲート配線(36a),(36b),…(36h)が形成されており、さらにスルーホール部(38)を有するシリコン酸化膜(40)が形成されている。基板表示部のシリコン酸化膜(40)上にはアドレス電極(32a),(32b),…(32w)形成部に対応して、また基板周辺部のシリコン酸化膜(40)上には周辺ゲート配線(36a),(36b)…(36h)形成部に対応して夫々例えばアモルファスシリコンからなる島状パターンの半導体薄膜(42a),(42b),…(42g)が設けられている。基板表示部の半導体薄膜(42)の一端部にはデータ電極(44),(44a),…(44w)が、他端部にはドレイン電極(46)が接脱形成されておりスイッチング素子を構成している。基板周辺部の半導体薄膜(42a),…(42g)の一端部には周辺ソース電極(50a),…(50g)が、他端部には周辺ドレイン電極(52a),…(52g)が接脱形成されており、さらに周辺ソース電極(50a),…(50g)の一部はスルーホール部(38)を介して周辺ソース配線端子部(34a),(34b),…(34h)に接続され、周辺ドレイン電極(52a),(52g)の一部はスルーホール部(38)を介して表示部のア

05

Vapour Deposition)法により約3000Åを付着し、PBP技術により島状パターンの半導体薄膜(42a),(42b),…(42g)を形成する。

次に約3000ÅのITOからなる透明導電体膜を付着し、PBP技術でパターン化して画素電極(53)を作る。そして次に約500ÅのMoと約1μmのアルミニウムをスパッタ法あるいは蒸着により積層し第2層のパターンとなる表示部内ドレイン電極(46)、データ電極(44),(44a),(44b),…(44w)周辺ドレイン電極(52),(52a),…(52g)、周辺ソース電極(50),(50a),(50b),…(50g)および駆動用IC接続部(60)を形成して表示部内のTFT(62)および周辺スイッチングトランジスタ群(64a),(64b),…(64h)を完成する。

第1図乃至第3図で示すように表示部内TFT(62)を走るアドレス電極(32),(32a),(32b)…(32w)が第1層となっており、周辺ドレイン電極(52),(52a),(52b),…(52g)の第2層との接続のためにシリコン酸化膜(40)の絶縁膜に開孔を施しスルーホール部(38)を設けることが必要であるが、表示

07

ドレイン電極(32a),…(32w)に接続されている。このような表示装置用駆動回路基板を液晶表示装置に用いる場合は、第2図例に示す如く、ドレイン電極(46)に、例えばITO(Indium Tin Oxide)からなる画素電極(53)を接脱形成し、さらに透明ガラス基板(30)の表示部領域上に液晶層(54)を介して、例えばITOからなる透明導電膜(56)が内側一面に形成された透明の対向基板(58)を設ければ良い。

次に上記表示装置用駆動回路基板の製造方法を説明する。先ず約2mm厚の透明ガラス基板(30)上に2000ÅのMo膜を付着し、PBP(Phot Engraving Process)技術により第1層のパターンとなるアドレス電極(32a),(32b),…(32w)と周辺ソース配線端子部(34a),(34b),…(34b)及び周辺ゲート配線(36a),(36b),…(36h)を形成する。次に約2000Åのシリコン酸化膜(40)をCVD法により付着し、このシリコン酸化膜(40)の所望部位にスルーホール部(38)を形成する。その後、アモルファスシリコンをCVD(Chemical

06

部内TFT(62)を走るデータ電極(44),(44a),(44b)…(44w)と周辺ドレイン電極(52)とに於いてはスルーホール部を必要としない。

周辺スイッチングトランジスタ群(64a),(64b),…(64c),…(64h)のソース電極部を共通に接続する周辺ソース配線端子部(34a),(34b),…(34h),(34i),…(34s)及びゲート配線部(36a),(36b),…(36h)の端部には駆動用IC接続部(60)は、駆動回路基板(30)外部に設けられた駆動回路部(図示せず)とワイヤボンディング或いは導電性ボム(図示せず)の圧接等により接続され所望の電気信号が与えられるために設けられている。

以上のようにして構成された表示装置用駆動回路基板では、周辺駆動回路部のゲート電極配線(36a),(36d)と周辺ソース配線端子部(34a),…(34h)により周辺トランジスタ群(64a),…(64d)をONして表示部のアドレス電極(32a),…(32w)を選択する。同様に周辺駆動回路部のゲート電極配線(36e)…(36h)と周辺ソース配線端子部(34i),…(34s)により周辺トランジスタ群(64e),…(64h)をONして表

08



示部のデータ電極(44a),…(44w)を選択する。第2図に示すような液晶表示装置に用いた場合は上記のような表示部のアドレス電極(32a),…(32w)及びデータ電極(44a),…(44w)の選択によりさらに表示部内のTFT(62)を選択し、各TFT(62)に対応した画素電極(48)に電圧を印加して液晶層(54)を駆動させる。このようにマトリックス状に配置された画素電極(48)の選択の組合せにより任意の表示像を映し出すことができる。

尚、上記実施例では、周辺駆動回路部にセレクト、ドライバ等の駆動回路部を設けてはいないが、第4図に示すように周辺駆動回路部にデータセレクト用IC(70)、データラッチ用IC(72)やアドレスドライバ用IC(74)、アドレスセレクト用IC(72)を搭載することもできる。

すなわち本発明によればアクティブ・マトリックス部の各辺に対応してセレクト用ICとラッチ用IC若しくはドライバ用ICとセレクト用ICを1個ずつ設ければ良く、従って従来のシフトレジスタを用いた場合のように各データ若しくは各

09

して説明する。第8図(a), (b)は周辺スイッチングトランジスタ群 $T_1, T_2, T_3, T_4$ からなる周辺駆動回路部の平面図及びその等価回路図を示すものである。この第8図(a), (b)では表示部の一辺のドレイン電極数が16本である場合の周辺駆動回路を示しており、ゲートを共通とするスイッチングトランジスタ群 $T_1, T_2, T_3, T_4$ が設けられソース電極 $S_1 \sim S_4$ と共通ゲート電極 $G_1 \sim G_4$ の選択によりドレイン電極 $D_1 \sim D_{16}$ を選択できるようにになっている。

第9図(a), (b)はソース電極配線 $S_1, S_2, S_3, S_4$ と、ゲート電極配線 $G_1, G_2, G_3, G_4$ への信号発生回路を示している。第9図(a)において所定の時間間をもつクロック信号 $CK$ によりFFカウンタ(80)がバイナリカウントする。このカウンタ(80)より上位2ビットのバイナリ信号(82)を受けて第1のデコーダ(84)でそのデコード信号 $S_1, S_2, S_3, S_4$ を出力する。またカウンタ(80)の下位2ビットのバイナリ信号(86)は第2のデコーダ(88)に与えられそのデコード信号 $G_1,$

アドレスラインに対応してラッチ機能或いは増幅機能を持たせる必要がなく大幅に回路規模を縮小することができる。

また本発明によればアクティブマトリックス駆動回路基板と画像情報源となる外部装置との配線接続数を一律に少なくできる利点がある。

また本発明に於ける表示装置用駆動回路基板は表示部と周辺駆動回路部とを別々に製造し、表示部と周辺駆動回路部との各端子の接続をエラストマー或いはワイヤボンディングにより行なっても良い。このように表示部と周辺駆動回路部とを別工程により製造する場合周辺駆動回路部のスイッチング素子は上記実施例の如きTFTに限る必要はなく、例えば第5図(a), (b), (c)に示すようなTMG(Transmission Gate)チップ(80)で第6図に示すように構成しても良い。更には第7図に示すようにTMGの素子数を多くしたIC(82)で構成したものであればアセンブリの手間が省略される。

次に本発明の動作を第8図乃至第14図を参照

20

$G_2, G_3, G_4$ を作り出す。又、第9図(a)においては第9図(a)のカウンタとデコーダに替えて2組のシフトレジスタを用いたものである。まず、初期データ $D$ が第1のシフトレジスタ(90)に入力され、クロック信号 $CK$ に同期して $B_1$ に現われる。この後初期データ $D$ をなくしてクロック信号 $CK$ の2個目を励起して第1のシフトレジスタ(90)の出力を $S_2$ に移行する。同様にクロック信号 $CK$ を3個、4個と送り第1のシフトレジスタ(90)の出力を $S_3, S_4$ と移す。第2のシフトレジスタ(92)の出力信号 $G_1, G_2, G_3, G_4$ は初期状態で $G_1$ がONとなっている。そうして第1のシフトレジスタ(90)のキャリー信号 $CY$ とクロック信号 $CK$ の組合せで第2のシフトレジスタ(92)の出力がシフトし $G_2$ に移行する。第1のシフトレジスタ(90)への入力データ信号 $D$ は所定期間ごとに発生した場合では $S_4$ の出力ごとに発生するようになっている。このように第9図(a), (b)では、 $S_1, S_2, S_3, S_4$ の一巡走査ごとに $G_1, G_2, G_3, G_4$ の出力信号が切替わる

21

22



回路構成となっている。

第10図は第9図(4)或いは(4)の駆動回路からの信号と第8図(4)、(4)の周辺スイッチングトランジスタ群T1、T2、T3、T4のドレイン電極配線D1、D2、…D16の出力信号タイムチャートである。第6図に示すように各ゲート電極配線G1、G2、G3、G4が所定期間ON状態のときソース電極配線S1、S2、S3、S4には順次ONの信号が入力される。そしてゲート電極配線G1、G2、G3、G4の切り換えごとにS1、S2、S3、S4を順次走査すればスイッチングトランジスタ群T1、T2、T3、T4のドレイン電極配線D1、D2、…D16は信号を順次出するので表示部内TFTのアドレス電極の走査信号として利用できる。

一方表示部内TFTへのデータ信号はシリアルな信号よりもパラレル信号が望ましい。第11図及び第12図は本発明にかかわる周辺スイッチングトランジスタ群を用いた画像データ処理回路とそのタイムチャートである。まず、クロック信号

(23)

アクティブマトリックス画像表示走査が可能となる。すなわち、第13図に示すように、アドレス走査側のひとつのデコード出力期間T内に画像データ側のパラレル出力を一巡させることにより順次走査方式を變形した表示動作を行うことができる。

第14図は第1図で示す駆動用IC接続部(60)を工夫しICチップを搭載した駆動回路基板を示す。入出力端子部(92)から外部機器の画像データおよび走査信号を受け、所望動作のIC90、90a、…、90hでアドレス走査および画像データ処理が行なわれる。そうしてアドレス走査をスイッチ動作させる。スイッチングトランジスタ群(94)と、画像データを順次出力するスイッチングトランジスタ群(96)により表示走査が行なわれ表示部(98)により画像が映し出される。

尚、本発明の実施例ではアドレス走査側だけに限らず画像データ側にも周辺スイッチングトランジスタ群を設けて周辺駆動用ICとの簡略化を図っているが、表示部内の画素セルに蓄積容量を加

(25)

CKに同期したアナログ画像信号ADがシフトレジスタ(94)の出力信号(96)に従ってサンプルホールド(86)の所定箇所に蓄えられる。サンプルホールド(98)に蓄えられたアナログ画像情報(100)はアナログドライバー(102)によって増幅されそれぞれの出力信号S1、S2、S3、S4を作る。一方シフトレジスタ(94)への一巡りの書き込み終了ごとにバイナリ信号(96)の出力モードをカウンタ(98)に切換え、終段のデコーダ(104)によりデコード出力信号G1、G2、G3、G4を切り換える。このようにすればアナログ画像情報信号S1、S2、S3、S4とデコード信号G1、G2、G3、G4の組合せで周辺スイッチングトランジスタ群T1、T2、T3、T4からの出力信号D1、D2、…D16が4本単位で同時にかつそれぞれ独自のアナログ情報量を持って出力されることになる。

このように画像データ側のスイッチングトランジスタ群の働きと、アドレス走査側のスイッチングトランジスタ群の働きを連動させることにより



(24)

えたり、半導体薄層の材料としてアモルファスシリコンを使ったものでは所定時間での画像データ書き込みが不充分となることがあるがこのような場合は画像データ側にはスイッチングトランジスタ群を設けずに従来の結線方法と併用してもよい。

また、実施例ではスイッチングトランジスタ群を4個として説明しているが本来の目的では極めて多くの端子を必要とする表示装置用駆動回路基板として有効であることは言うまでもなくアドレス数が500~1000本、また、データ側も500~2000本と言った場合に効果的となる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図乃至第14図は本発明の他の実施例を説明するための図、第15図及び第16図は従来例を示す図である。

30…透明ガラス基板、32、32a、32b、…32w…表示部用アドレス電極配線、34a、…34b、34i、…34s…周辺ソース配線端子部、36a、36b、…36h…周辺ゲート配線、38…スルーホ

(26)

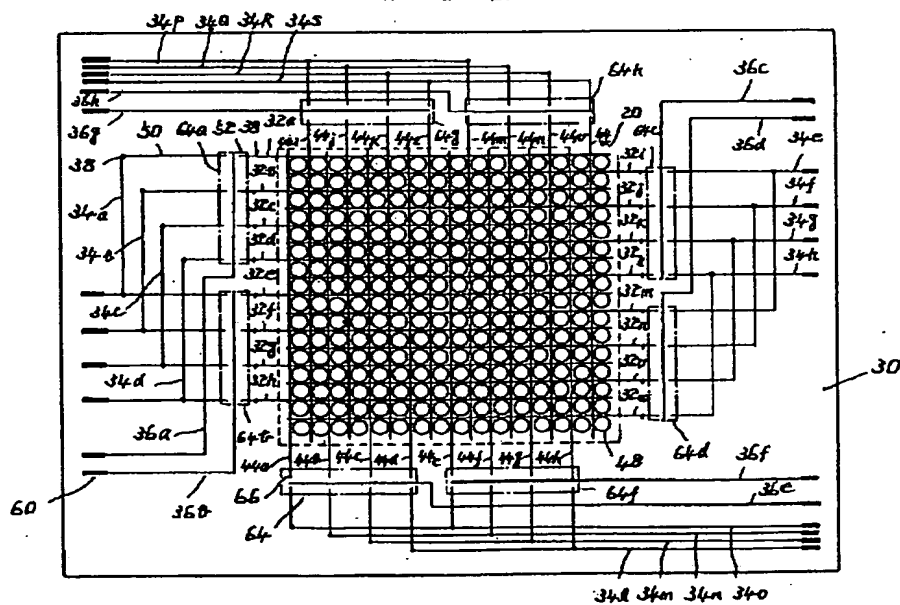


ール部、40…シリコン酸化膜、42, 42a, …  
 42g…半導体薄膜、44, 44a, …44w…データ電  
 極、46…ドレイン電極、50a, 50b, …50g…  
 周辺ソース電極、52a, 52b, …52g…周辺ドレ  
 イン電極、53…画素電極、54…液晶層、56  
 …透明導電膜、58…対向基板、60…駆動用IC  
 接続部、62…TFT、64a, 64b, …64h…  
 周辺スイッチングトランジスタ群、66…周辺ド  
 レイン電極、70…データセレクト用IC、72  
 …データラッチ用IC、74…アドレスドライバ  
 用IC、76…アドレスセレクト用IC。

代理人弁護士 則 近 憲 佑(ほか1名)

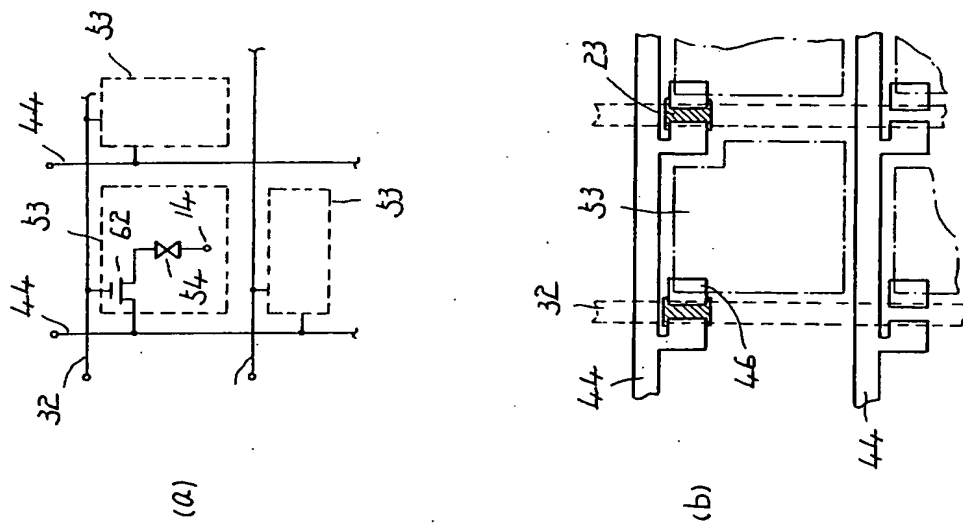
(27)

第 1 図

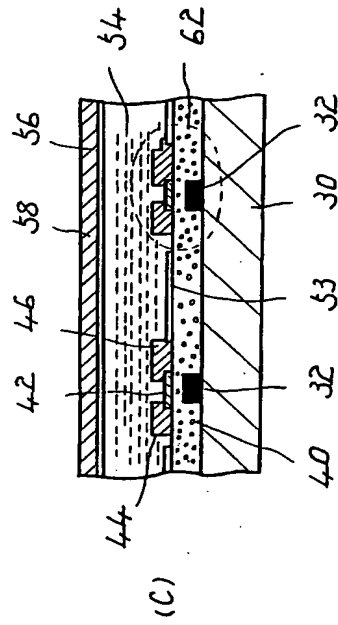




第 2 図

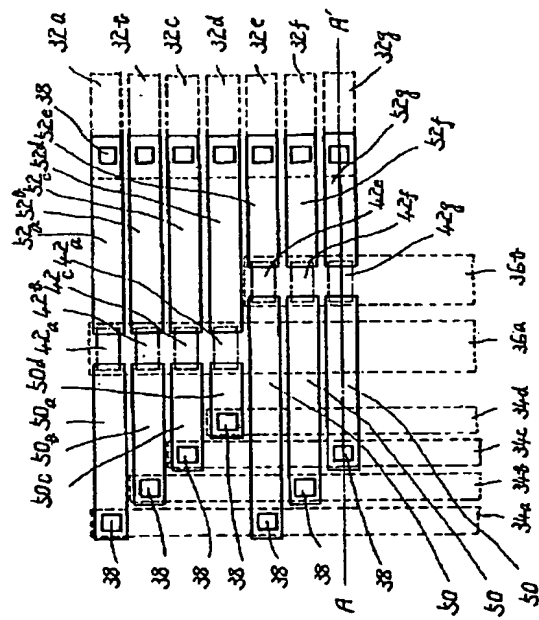


第 2 図

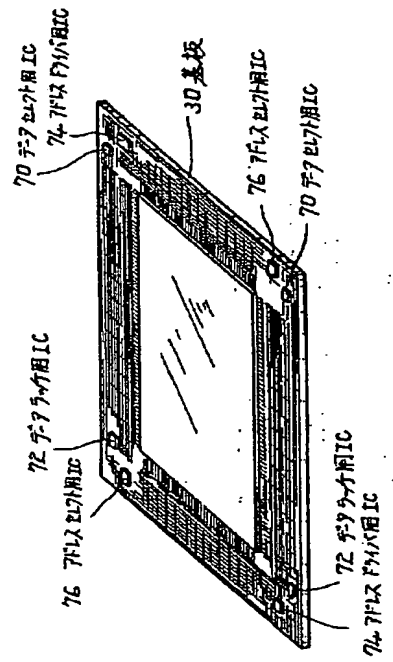




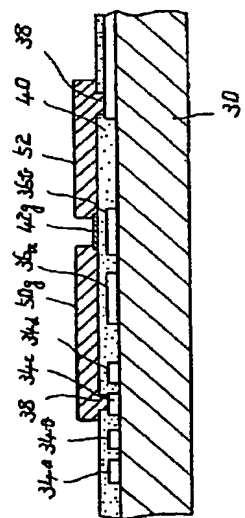
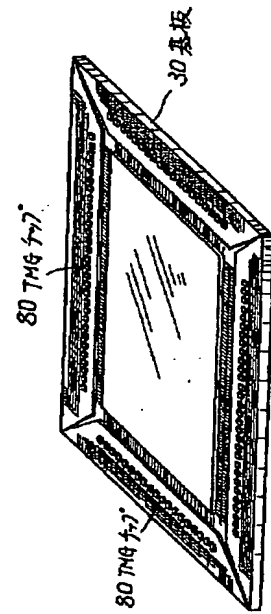
第 3 図



第 4 図



第 6 図





第五區

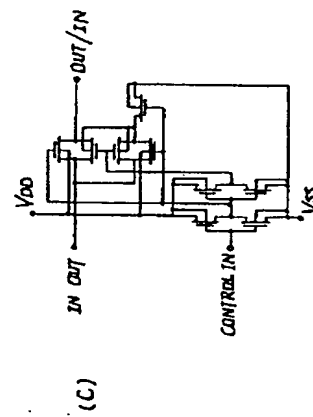
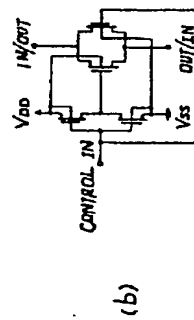
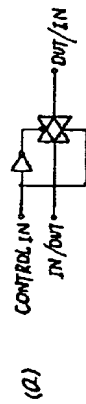
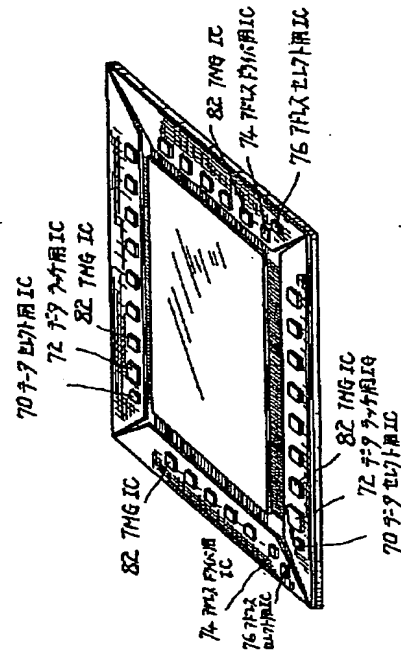
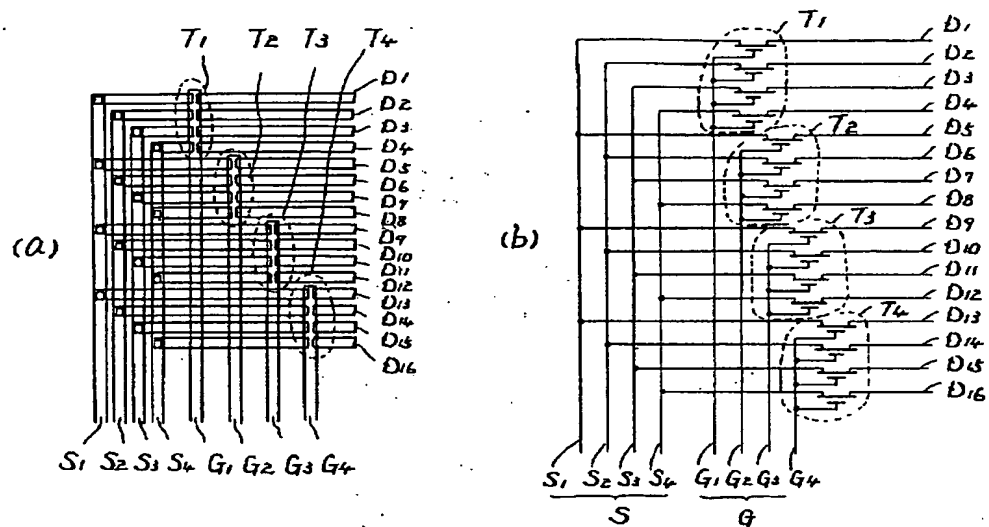


圖 7. 第 1

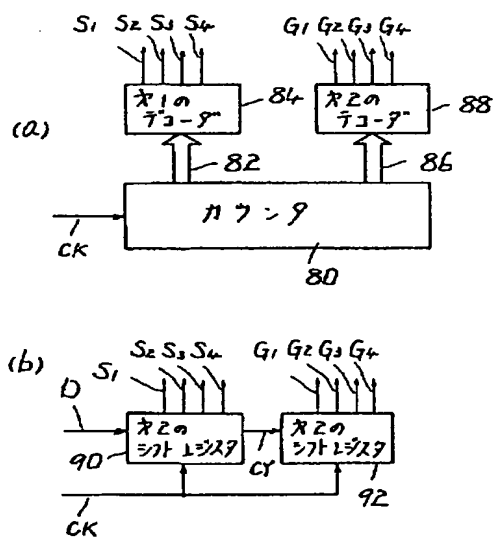




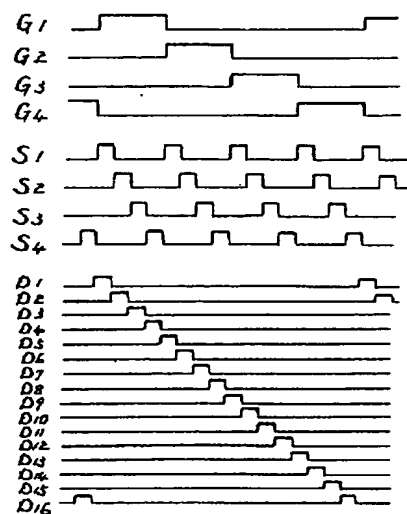
第 8 図



第 9 図

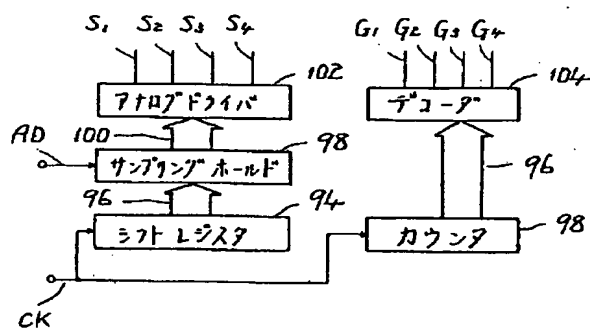


第 10 図

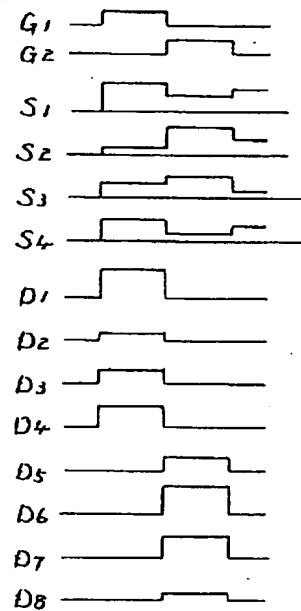




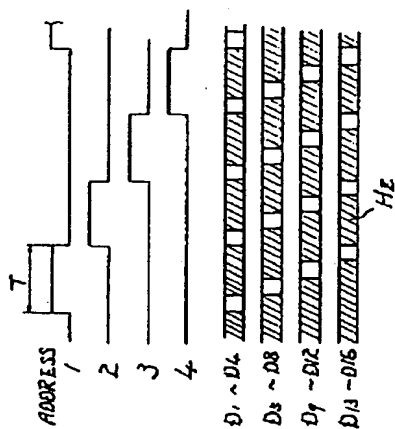
第 11 図



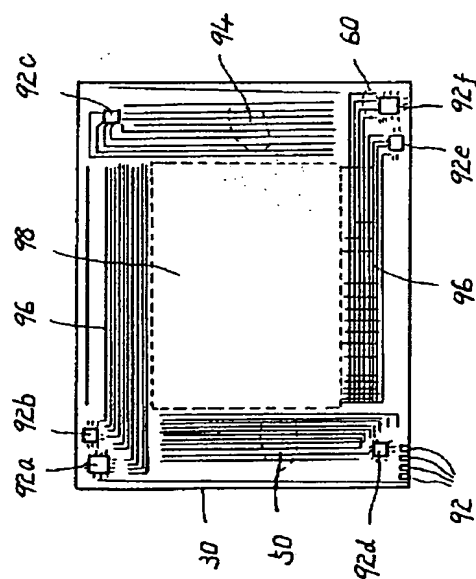
第 12 図



第 13 図

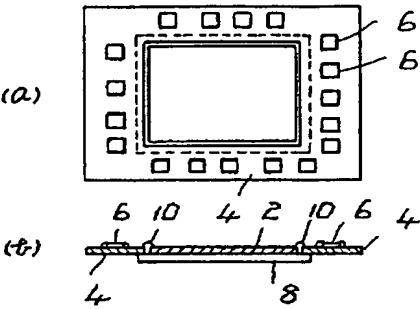


第 14 図





第 15 図



第 16 図

